

日本国特許庁
JAPAN PATENT OFFICE

JG927 U.S. PRO
10/003258
T2/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年12月12日

出願番号
Application Number:

特願2000-378188

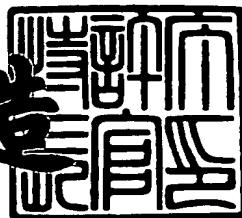
出願人
Applicant(s):

シャープ株式会社

2001年 9月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3085640

【書類名】 特許願
【整理番号】 00J04321
【提出日】 平成12年12月12日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/66
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 大南 信之
【特許出願人】
【識別番号】 000005049
【氏名又は名称】 シャープ株式会社
【代理人】
【識別番号】 100078282
【弁理士】
【氏名又は名称】 山本 秀策
【手数料の表示】
【予納台帳番号】 001878
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9005652
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 絶縁膜容量評価装置

【特許請求の範囲】

【請求項1】 M I S構造のC-V特性を測定する装置であって、被測定対象である容量未知のM I S構造に対して、容量既知のM I S構造、誘電体およびキャパシタの少なくとも1種類を少なくとも1個直列に接続させて測定を行う絶縁膜容量評価装置。

【請求項2】 前記容量既知のM I S構造、誘電体およびキャパシタは、装置本体から着脱可能である請求項1に記載の絶縁膜容量評価装置。

【請求項3】 容量値が異なる複数個の前記容量既知のM I S構造、誘電体およびキャパシタの少なくとも1種類を備え、スイッチにより該M I S構造、誘電体およびキャパシタを適宜選択して使用可能である請求項1または請求項2に記載の絶縁膜容量評価装置。

【請求項4】 前記容量既知のM I S構造、誘電体およびキャパシタの少なくとも1個の容量は、シリコン酸化膜換算で3nm以上である請求項1乃至請求項3のいずれかに記載の絶縁膜容量評価装置。

【請求項5】 前記容量既知のM I S構造、誘電体およびキャパシタは、直接トンネル漏れ電流を流さないものである請求項1乃至請求項4のいずれかに記載の絶縁膜容量評価装置。

【請求項6】 請求項1乃至請求項4のいずれかに記載の絶縁膜容量評価装置において、被測定対象である容量未知のM I S構造と、前記容量既知のM I S構造、誘電体およびキャパシタの少なくとも1個とを直列に接続させて、測定された合成容量から該容量未知のM I S構造の容量を算出する絶縁膜容量評価方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、M I S構造のC-V特性を測定する絶縁膜容量評価装置および絶縁膜容量評価方法に関し、特に、膜厚が3nm未満の薄膜シリコン酸化膜を備えた

MIS構造のC-V特性を測定可能な絶縁膜容量評価装置および絶縁膜容量評価方法に関する。

【0002】

【従来の技術】

トランジスタのゲート絶縁膜を評価するに際して、実際にトランジスタを作製して評価するのは繁雑で時間がかかる。このため、事前にドライブ電流値等のトランジスタ特性を推測する方法の一つとして、MIS（電極／絶縁膜／半導体）構造を作製し、そのC-V（容量-電圧）特性を測定することが行われる。

【0003】

近年では、デュアルゲート（P+ゲート、N+ゲート）構造が用いられるようになり、P+ゲート電極に注入されたボロンがその後の工程で受ける熱処理によってチャネル部まで拡散し、トランジスタのしきい値を変動させてしまうという問題がある。図5は、MIS構造形成後の熱処理によるP+ゲート電極のボロン突き抜けを示すグラフである。ここでは、サイズ $9 \times 10^{-4} \text{ cm}^2$ のP型MIS構造を形成し、熱処理温度を変化させてC-V特性を測定している。この図に示すように、1010°Cおよび1020°Cの熱処理ではC-Vカーブが重なっており、ボロンの突き抜けは無く良好であるが、1050°CではC-Vカーブが正の電位へずれており、ボロンが基板まで拡散したことを示している。トランジスタ作製前にこのデータを得ていれば、1020°Cまでの温度でプロセスを構築すれば良いことが分かる。よって、簡単に、かつ、早くP+ゲート電極のボロン突き抜け有無を評価する手法として、C-V特性の測定は益々重要となってきている。

【0004】

従来においては、シリコン基板（ウェハまたはチップ）上にテストパターン（TEG）としてMIS構造を作製し、測定装置（LCRメーター）によりC-V特性を評価していた。

【0005】

ところで、LSIの高集積化に伴って、また、デバイス高速化の要求から、そのサイズは微細化されてきており、デバイスの平面方向の微細化のみならず、デ

バイスの縦方向（厚さ方向）のサイズも小さくなっている。特に、ゲートシリコン酸化膜においては3 nm以下の膜厚が要求されているため、従来の測定装置ではC-V特性を正確に測定することができない。図6は、1. 5 nm～3. 2 nmの膜厚のシリコン酸化膜を絶縁膜とするN型MOS（金属／酸化膜／半導体）構造のI-V特性を示すグラフである。シリコン酸化膜の場合、3 nm以上の膜厚ではF-Nトンネル漏れ電流に支配されており、漏れ電流は非常に小さいが、3 nm未満の膜厚になると直接トンネル漏れ電流に支配されるため、漏れ電流が非常に大きくなることがこの図からよく分かる。C-V特性においては図7に示すように、膜厚3. 2 nmでは正常なC-Vカーブを示しているが、膜厚2 nmでは直接トンネル漏れ電流の影響で-1. 5 V以下の電圧において理想カーブから大きくずれてしまっている。

【0006】

なお、このように極薄の絶縁膜を有するデバイスでは、薄膜化によって高速化を達成することができるが、リークの問題が残るため、デバイスの目的に応じた使い分けが行われている。すなわち、消費電流を少しでも小さくしたい場合にはこのような極薄の絶縁膜を有するデバイスは用いず、消費電力（電流）が多くても高速化を要求されるような場合には3 nm付近よりも薄い絶縁膜を有するデバイスを用いている。

【0007】

一方、絶縁膜容量を評価するための装置としては、特開平6-112289号公報に図8に示すような非接触型のC-V測定装置が提案されている。この図において、 Φ_{ms} は測定装置の電極の仕事関数差、 C_{air} は空間（エアギャップ）容量、 C_{ox} は絶縁膜容量、 C_d は半導体ウェハの空乏層容量である。このように測定装置自体に電極を設け、電極と絶縁膜との間に空間を設けることにより、MIS構造を形成することなく、絶縁膜形成直後に容量測定を行うことができる。また、シリコンウェハと電極とを非接触にすることにより、シリコンウェハを金属電極で汚染しないため、測定後のウェハをインラインでその後の処理工程へ進めることができる。

【0008】

【発明が解決しようとする課題】

しかしながら、図8に示した従来の測定装置を用いて膜厚3nm以下の絶縁膜を評価しようとした場合、電極と絶縁膜との間の距離を0.01nmオーダーまで精密に制御しなければ空間の容量を正確に計算することができない。しかし、現状ではこのオーダーでの制御は物理的に不可能であり、これにより生じる誤差で絶縁膜の容量を正確に知ることはできない。また、電極とシリコン基板との距離はオンラインでのダストにより制限され、現状では100nm以下に近づけることは困難であり、ダストで電極と基板がショートした場合には測定装置を破損してしまう。さらに、測定が絶縁膜形成直後に限られ、電極形成後では測定不可能であるため、この測定装置により図5に示したようなP+ゲート電極からのボロン突き抜けを評価することができなかった。

【0009】

本発明は、このような従来技術の課題を解決するべくなされたものであり、直接トンネル漏れ電流の影響を受けずに極薄絶縁膜の正確なC-V特性測定を可能とし、さらに、極薄絶縁膜のMIS構造におけるP+ゲート電極のボロン突き抜けをも評価可能な絶縁膜容量評価装置および絶縁膜容量評価方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

本発明の絶縁膜容量評価装置は、MIS構造のC-V特性を測定する装置であって、被測定対象である容量未知のMIS構造に対して、容量既知のMIS構造、誘電体およびキャパシタの少なくとも1種類を少なくとも1個直列に接続させて測定を行い、そのことにより上記目的が達成される。

【0011】

前記容量既知のMIS構造、誘電体およびキャパシタは、装置本体から着脱可能であるのが好ましい。

【0012】

容量値が異なる複数個の前記容量既知のMIS構造、誘電体およびキャパシタの少なくとも1種類を備え、スイッチにより該MIS構造、誘電体およびキャパ

シタを適宜選択して使用可能であるのが好ましい。

【0013】

前記容量既知のMIS構造、誘電体およびキャパシタの容量は、シリコン酸化膜換算で3nm以上であるのが好ましい。

【0014】

前記容量既知のMIS構造、誘電体およびキャパシタは、直接トンネル漏れ電流を流さないものであるのが好ましい。

【0015】

本発明の絶縁膜容量評価方法は、本発明の絶縁膜容量評価装置において、被測定対象である容量未知のMIS構造と、前記容量既知のMIS構造、誘電体およびキャパシタの少なくとも1個とを直列に接続させて、測定された合成容量から該容量未知のMIS構造の容量を算出し、そのことにより上記目的が達成される。

【0016】

以下に、本発明の作用について説明する。

【0017】

本発明にあっては、被測定対象である容量未知のMIS(MOSを含む)構造に対して、容量既知のMIS構造、誘電体およびキャパシタ(コンデンサ)の少なくとも1種類を1個または複数個、直列に接続することにより、容量未知のMIS構造中の絶縁膜が直接トンネル漏れ電流を流しても、それと直列に接続した容量既知のMIS構造、誘電体またはキャパシタがF-Nトンネル漏れ電流に支配されていれば、装置に過大なリーク電流が流れることを防ぐことができ、C-V特性の測定を正確に行うことが可能である。

【0018】

得られた結果は既知の容量C1と未知の容量C2との合成容量Cであり、

$$1/C = 1/C_1 + 1/C_2$$

から未知の容量を算出することができる。なお、既知容量のMIS構造、誘電体およびキャパシタ(コンデンサ)は、同じ種類のものまたは異なる種類のものを複数個設けることも可能であるが、抵抗を小さくするために複数個設けるよりも

1個だけ設ける方が好ましい。

【0019】

容量既知のMIS構造、誘電体およびキャパシタは、コネクタ等により装置本体から着脱可能とするか、またはスイッチにより切り替え可能とすることにより、付加する既知容量を適宜選択することが可能になる。

【0020】

容量既知のMIS構造、誘電体およびキャパシタは、容量がシリコン酸化膜換算で3nm以上で、直接トンネル漏れ電流を流さないものとすることにより、測定装置（LCRメーター）に過大な電流が流れることを防ぎ、正確な容量測定が可能となる。

【0021】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しながら説明する。

【0022】

(実施形態1)

図1に本発明の一実施形態である絶縁膜容量評価装置の等価回路の一部を示し、図2にLCRメーターも加えた構成を示す。ここでは、膜厚3nm未満の直接トンネル漏れ電流が流れるシリコン酸化膜（例えば膜厚2nm）を絶縁膜とした容量未知（C2）のMOS構造2に対して、膜厚3nm以上の直接トンネル漏れ電流が流れないシリコン酸化膜（例えば膜厚3.2nm）を絶縁膜とした容量既知（C1）のMOS構造1を直列に接続している。この図において、 Φ_{ms1} および Φ_{ms2} は容量既知のMOS構造の仕事関数差（例えばn+PolySi電極、Pwell（1E15atm）の構造で-1.0V程度）であり、C1はシリコン酸化膜の容量C1-1とシリコン半導体の容量C1-2の合成容量であり、C2はシリコン酸化膜の容量C2-1とシリコン半導体の容量C2-2の合成容量である。

【0023】

このように構成された本実施形態の絶縁膜容量評価装置を用いてC-V特性を測定することにより、図3中の合成カーブのような結果が得られ、合成容量とし

てC-V特性を評価することが可能となる。そして、

$$1/C = 1/C_1 + 1/C_2$$

から、各電圧で得られた合成容量から図2中の3. 2nmC-V測定カーブの容量を差し引くことにより、図3中の2nmC-V換算カーブが得られる。これは、図3中の2nmC-V理想カーブに極めて近い結果を示している。

【0024】

ここで、仕事関数差については、以下のように取り扱う。LCRメーターで発生させた電位差をVとすると、MOS構造2に印加される電位差V2はV2 = V - Φms1となる。よって、ある電圧Vで得られた合成容量CからC2を算出し、それをV2に対してプロットすれば正確なC-Vカーブが得られる。

【0025】

図3では容量既知のMOS構造はP+/Pwellであり、Φms1は0.2Vであるため、LCRメーターで発生した電位差が2Vの場合、未知のMOS構造には1.8Vの電圧が印加される。よって、LCRメーター2Vでの未知容量を計算し、その値を1.8Vに対してプロットすることにより、未知のMOS構造のC-Vカーブが得られる。

【0026】

なお、図3中の2nmC-V理想カーブは物理的な膜厚から算出した特性であり、本実施形態で求めた図3中の2nmC-V換算カーブとは若干の差があるが、このような差が生じる原因としては、電極(Poly-Si)の不純物濃度によって電極自体が一部空乏化したりすることも考えられる。しかしながら、本実施形態のように電極特性から求めた容量データの方が、物理的な膜厚から算出したデータに比べて、種々の特性を評価する上で重要である。

【0027】

これに対して、従来のC-V特性評価では、容量既知のMOS構造が設けられていないため、蓄積側(C-V特性の一側、-1V~-1.5V以下)で直接トンネル漏れ電流によりC-V特性が図7中の2nm測定カーブのようにずれて正確に評価ができなかった。

【0028】

このように、本実施形態によれば、極薄膜の正確なC-V特性の測定が可能となる。さらに、従来の非接触型のC-V測定装置では不可能であった、+Pゲート電極のボロン突き抜け有無の評価についても、この手法を用いてP型MOS構造（またはMIS構造）に対して同様の測定を行えば、評価することが可能である。

【0029】

(実施形態2)

図4は、本実施形態の絶縁膜容量評価装置において、被測定対象である容量未知のMIS構造に対して直列に接続される、容量既知のキャパシタ部の等価回路を示す図である。この図において、系2-1は直接トンネル漏れ電流が流れない膜厚3nm以上、例えば膜厚3nmのシリコン酸化膜を絶縁膜とするキャパシタであり、系2-2は直接トンネル漏れ電流が流れない膜厚3nm以上、例えば膜厚5nmのシリコン酸化膜を絶縁膜とするキャパシタであり、系2-3は例えばキャパシタが設けられていない。また、 $\Phi_{ms\,a\,1}$ 、 $\Phi_{ms\,a\,2}$ 、 $\Phi_{ms\,b\,1}$ および $\Phi_{ms\,b\,2}$ は容量既知のキャパシタの仕事関数差であり、 C_a および C_b はキャパシタの容量である。ここで、仕事関数差は絶縁膜を上下から挟む金属材料であり、上下の材料が同じであれば考慮する必要はない。また、キャパシタでは、実施形態1のMOS構造に比べて空乏層（図1のC1-2）を考慮する必要がない。

【0030】

この装置において、スイッチにより系2-3を選択すると、従来同様のキャパシタを配しない構成での測定が可能であり、系2-1または系2-3を選択すると、容量未知のMIS構造に対して直列に容量既知のキャパシタを接続することができる。従って、任意に所望の容量のキャパシタを接続することが可能となる。

【0031】

なお、キャパシタの劣化を考えると絶縁膜の膜厚が厚い方が好ましいが、測定精度を向上させるためには3nm以上であって、なるべく薄いものが好ましい。

測定精度と電流リークとのトレードオフを考えると、3 nm程度が最も好ましいことになる。しかし、薄いシリコン酸化膜ではストレスによる劣化が早く、例えば3 nmの膜でC-V特性を測定すると電気的なストレスが蓄積されて、ほぼ1000回程度で破壊されてしまう。そこで、例えば系2-1と系2-2を等しい容量にすることにより、一方を予備のキャパシタとして、所定の測定回数を経た後は予備のキャパシタに切り換えるようにすることができる。

【0032】

なお、本実施形態では、スイッチによりキャパシタを切り換え可能としたが、各キャパシタを装置本体から着脱可能としてもよい。

【0033】

また、上記実施形態1および実施形態2では容量既知のMOS構造またはキャパシタを容量未知のMOS構造に直列に接続してC-V特性を測定する例について説明したが、MIS構造や誘電体を用いたり、これらを組み合わせて複数個設けてもよい。また、容量未知のMIS構造の容量を評価することもできる。誘電体としては例えばシリコン酸化膜、シリコンナイトライド、アルミニウム酸化膜等の絶縁膜を用いることができる。なお、誘電体を実際に使用する上では、キャパシタ構造とするのが好ましい。

【0034】

【発明の効果】

以上詳述したように、本発明によれば、被測定対象である容量未知のMIS（MOSを含む）構造に直列に容量既知のMIS構造、誘電体およびキャパシタの少なくとも1種類を1個または複数個設けることにより、容量未知のMIS構造中の絶縁膜が直接トンネル漏れ電流を流しても、それと直列に接続した容量既知のMIS構造、誘電体またはキャパシタがF-Nトンネル漏れ電流に支配されていれば、測定装置に過大なリーク電流が流れることを防ぐため、C-V特性の測定を正確に行って、未知の容量を算出することができる。

【図面の簡単な説明】

【図1】

実施形態1の絶縁膜容量評価装置を示す等価回路図である。

【図2】

実施形態1の絶縁膜容量評価装置におけるL C R メーターも加えた構成を示す等価回路図である。

【図3】

実施形態1において得られたC-V特性を示すグラフである。

【図4】

実施形態2の絶縁膜容量評価装置を示す等価回路図である。

【図5】

従来のC-V測定装置によるP+ゲート電極のボロン突き抜け有無の評価結果を示すグラフである。

【図6】

膜厚1.5 nm～3.2 nmまでのシリコン酸化膜を絶縁膜とするMOS構造のI-V特性を示すグラフである。

【図7】

従来のC-V測定装置を用いて測定したC-V特性を示すグラフである。

【図8】

従来の非接触型C-V測定装置を示す等価回路図である。

【符号の説明】

1 容量未知のMIS構造に直列に接続される容量既知のMIS構造

2 容量未知のMIS構造

Φ_{ms1} 、 Φ_{ms2} 容量既知のMOS構造の仕事関数差

Φ_{msa1} 、 Φ_{msa2} 、 Φ_{mzb1} 、 Φ_{mzb2} 容量既知のキャパシタの仕事関数差

C1 絶縁膜容量C1-1と半導体容量C1-2の合成容量(既知)

C2 絶縁膜容量C2-1と半導体容量C2-2の合成容量(未知)

C1-1 容量既知の絶縁膜容量

C1-2 容量既知の半導体容量

C2-1 容量未知の絶縁膜容量

C2-2 容量未知の半導体容量

C a、C b 容量既知のキャパシタ容量

Φ_{ms} 従来の測定装置における電極の仕事関数差

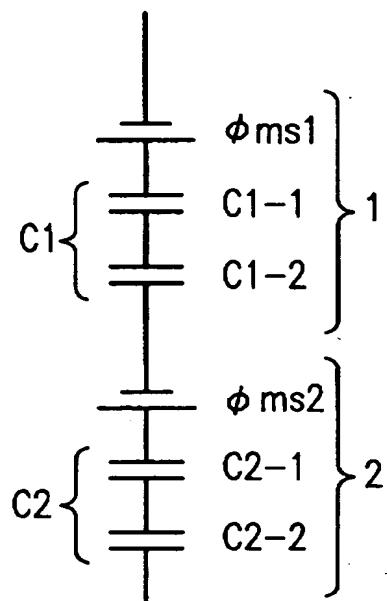
C air 従来の測定装置における空間（エアギャップ）容量

C ox 絶縁膜容量

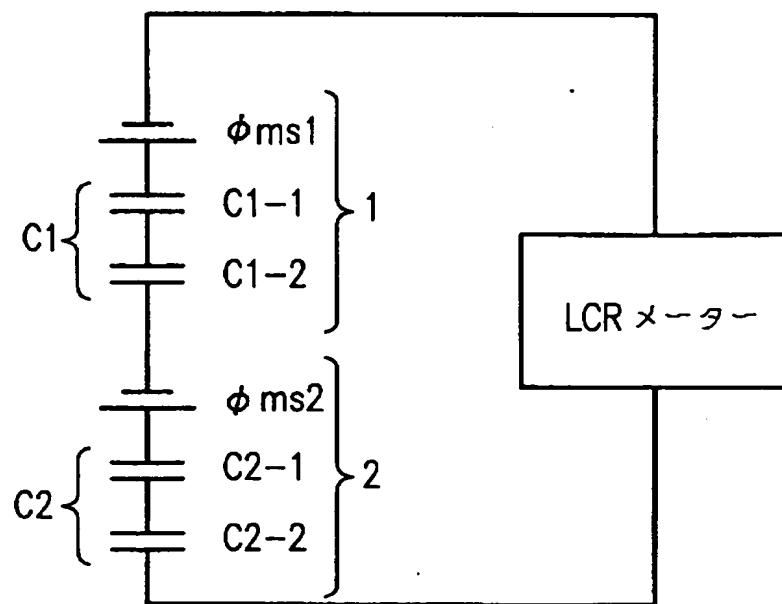
C d 半導体容量

【書類名】 図面

【図1】

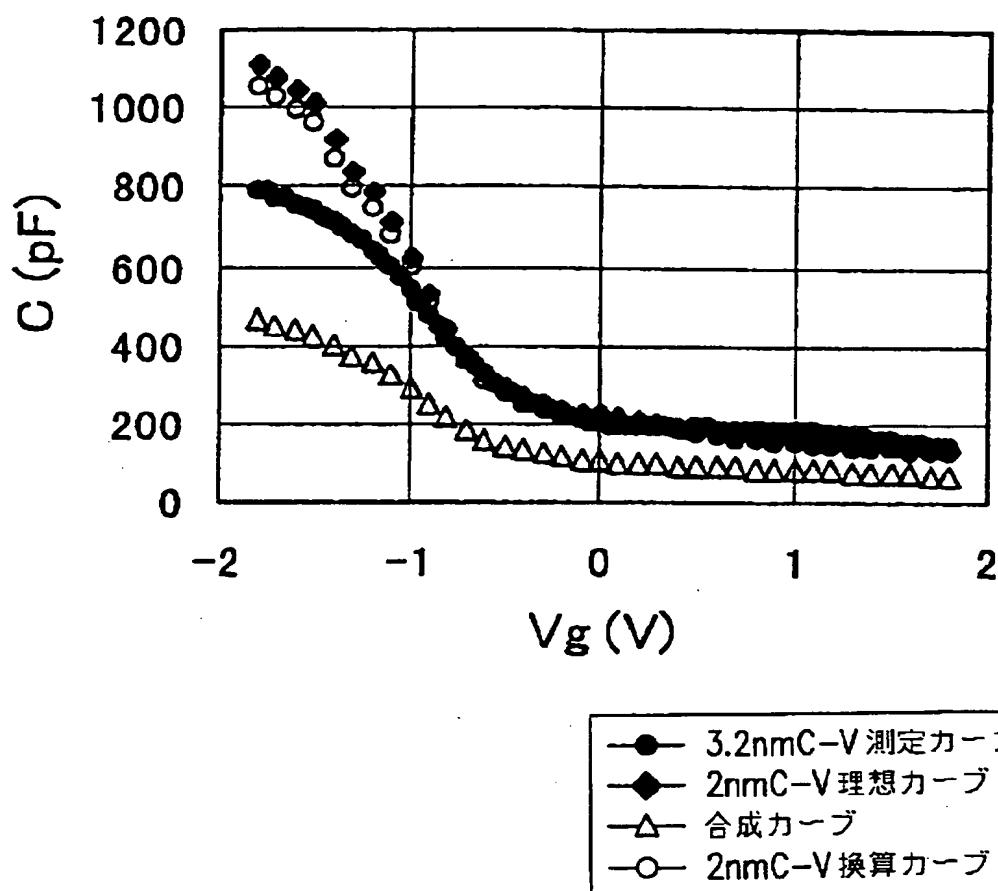


【図2】



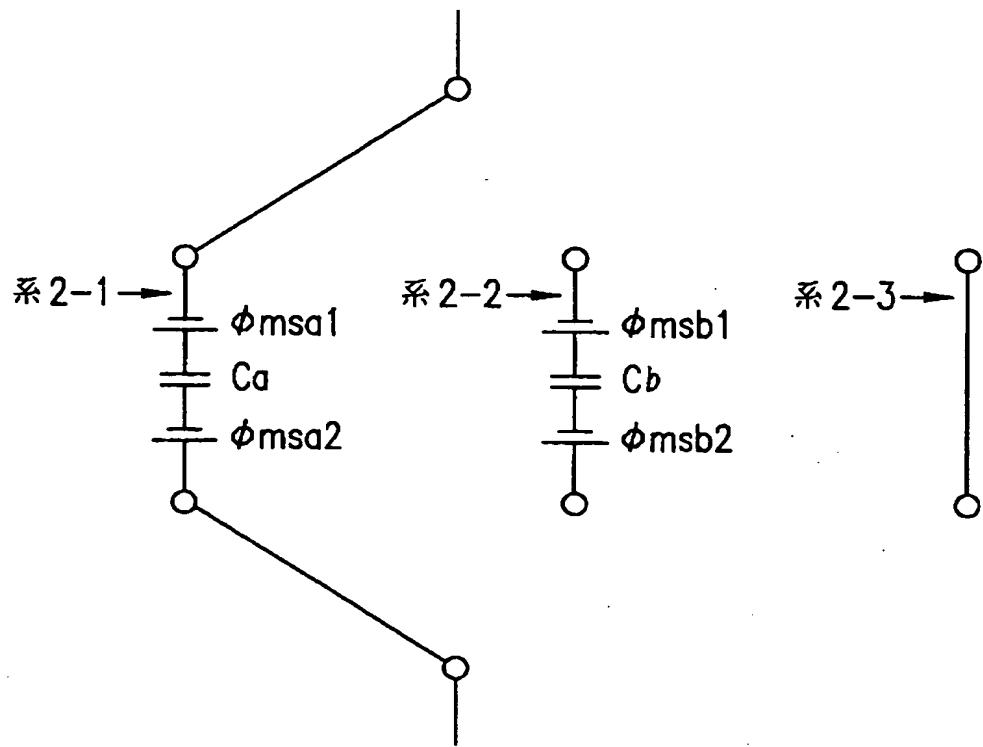
〔図3〕

NMOS C-V Characteristics

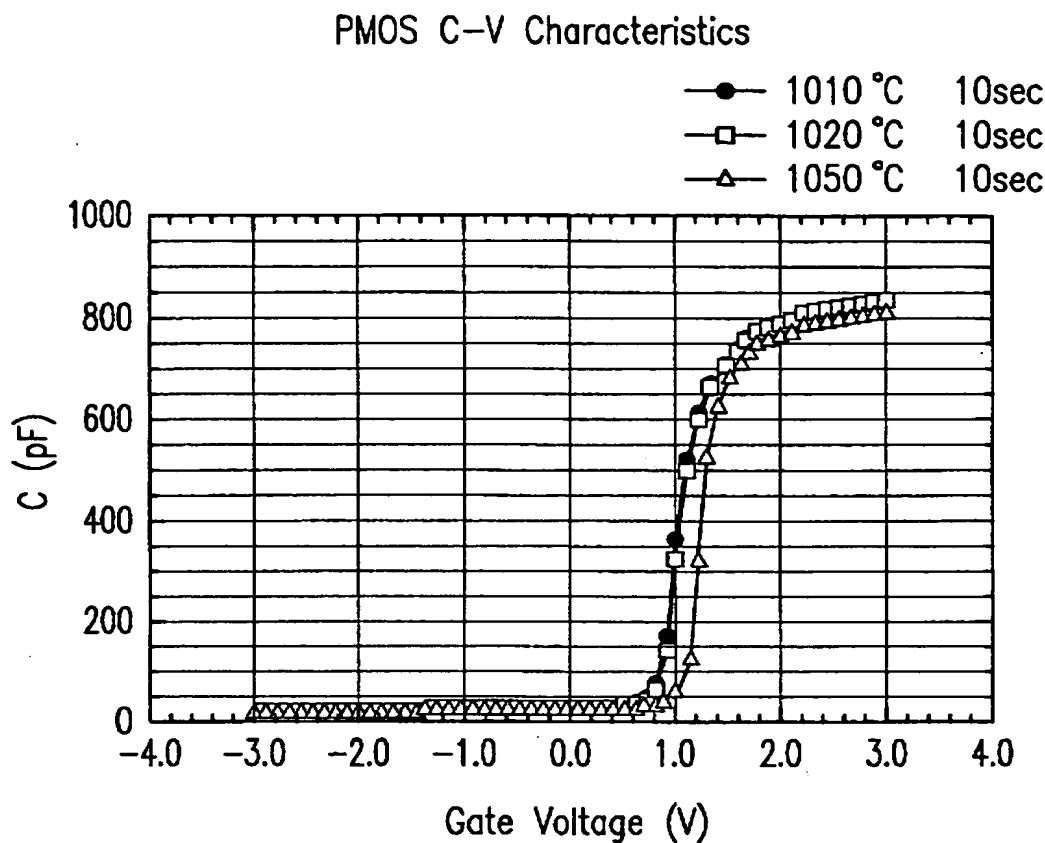


- 3.2nm C-V 測定カーブ
- ◆ 2nm C-V 理想カーブ
- △ 合成カーブ
- 2nm C-V 換算カーブ

【図4】



【図5】

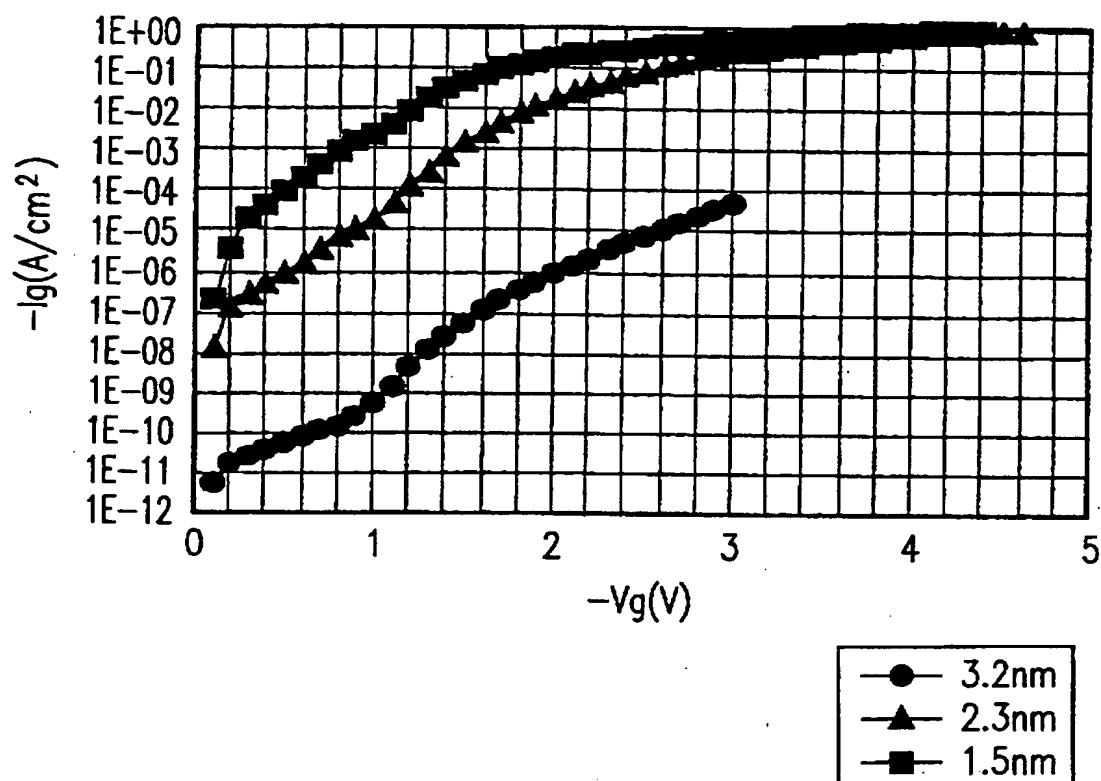


Active Area: 9E-4cm²
w/o Well Imp.
Gate SiON: NO/N₂

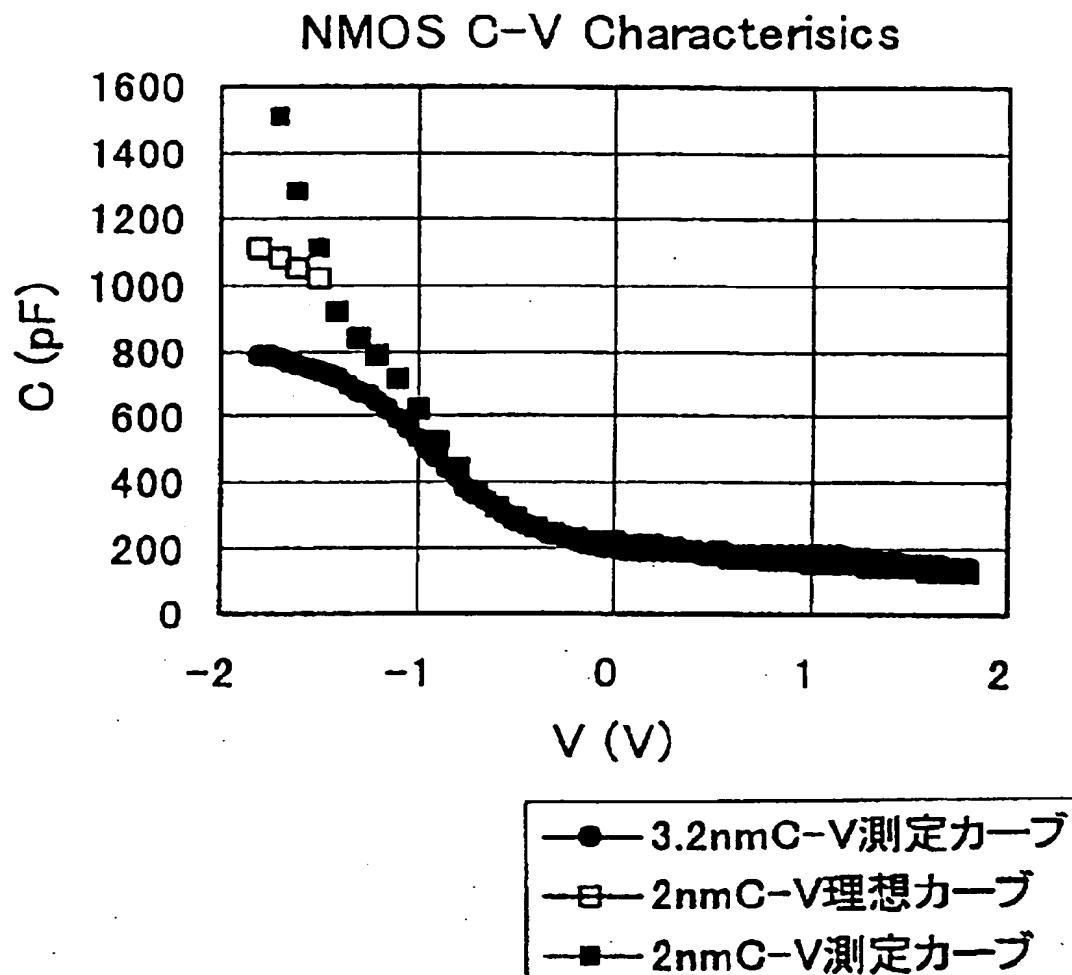
poly Si: 200nm
P+Imp.: BF₂

【図6】

NMOS I-V Characteristics

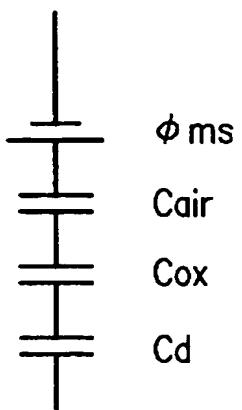


【図7】



特2000-378188

【図8】



【書類名】 要約書

【要約】

【課題】 直接トンネル漏れ電流の影響を受けずに極薄絶縁膜の正確なC-V特性測定を可能とし、極薄絶縁膜のMIS構造におけるP+ゲート電極のボロン突き抜けをも評価可能な絶縁膜容量評価装置および絶縁膜容量評価方法を提供する。

【解決手段】 被測定対象である容量未知(C2)のMIS構造に対して、容量既知(C1)のMIS構造、誘電体およびキャパシタの少なくとも1種類を少なくとも1個直列に接続させてC-V特性を測定し、測定された合成容量から未知容量を算出する。

【選択図】 図1

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社